

Docket No.: P2002,0808

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : ANDREAS TÄUBER ET AL.
Filed : CONCURRENTLY HEREWITH
Title : CALIBRATION CONFIGURATION

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 45 133.8, filed September 27, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,


For Applicants

LAURENCE A. GREENBERG
REG. NO. 29,308

Date: September 29, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 45 133.8

Anmeldetag: 27. September 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Kalibrierungsanordnung

IPC: G 01 R 35/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 31. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, likely belonging to the President of the German Patent and Trademark Office.

Stech

Beschreibung

Kalibrierungsanordnung

- 5 Die vorliegende Erfindung betrifft eine Kalibrierungsanordnung zur Einstellung einer einstellbaren Impedanz.

Eine Kalibrierung einer integrierten Schaltung erfordert das Vorhandensein eines genau definierten Referenzwiderstands, gegen den sich die Schaltung kalibrieren kann.

Zur Bestimmung der Systemcharakteristiken einer Schaltungsanordnung ist es notwendig, die Ausgangsimpedanz zu spezifizieren, um zuverlässige Werte bezüglich Zeitverhalten der Signalausgabe, Spannungs- und Stromverbrauch zu ermitteln. Schwankungen bezüglich der Ausgangsimpedanz lassen sich aufgrund von Prozeßschwankungen, Betriebstemperatur des Halbleiterchips etc. nicht exakt festlegen. Um bestimmte elektrische Größen auf ein gewünschtes Maß einzustellen und sich während des Betriebs ändernde Stellgrößen zu eliminieren, werden heute verschiedene Kalibriermethoden angewandt. Eine bevorzugte Methode ist beispielsweise die Kalibrierung einer Schaltungsanordnung zur Einstellung einer gewünschten Ausgangsimpedanz gegen einen Referenzwiderstand.

25

In Elektronik-Grundlagen, 9. Auflage, Verlag Europa-Lehrmittel, Europa-Nr.: 31789, Seite 298 ist eine der Figur 1 entsprechende Schaltungsanordnung mit zwei in einem ersten Strompfad in Reihe geschalteten Widerständen R1 und R2 und mit zwei in einem zweiten Strompfad in Reihe geschalteten Widerständen R3 und R4 gezeigt. Den Enden der Strompfade werden das positive Versorgungspotential VDDQ und das negative Versorgungspotential VSSQ einer Versorgungsspannung zugeführt. Der im zweiten Strompfad dargestellte Widerstand R3 ist ein bezüglich seines Widerstandswertes oder Impedanz einstellbarer und zu kalibrierender Widerstand. Zwischen den Strompfaden, die auch Spannungsteiler repräsentieren, liegt im ei-

35

gentlichen Brückenweig ein Spannungsmesser. Wenn die an den Widerständen R1, R2, R3 und R4 anliegenden Spannungen U1 und U3 bzw. U2 und U4 gleich groß sind, zeigt der Nullindikator keinen Ausschlag. Die Brücke ist abgeglichen. Da die Widerstände den Spannungen proportional sind, kann man den einstellbaren Widerstand durch eine Verhältnisrechnung ermitteln.

$$U1/U2 = U3/U4.$$

Daraus folgt auch die Beziehung: $R1/R2 = R3/R4$.

Somit läßt sich der Widerstand R3 herleiten:

$$R3 = R4 \times (R1/R2).$$

Die dargestellte Schaltungsanordnung ist auch als Widerstandsmeßbrücke bekannt, zur Messung eines elektrischen Widerstands, durch Strom- oder Spannungsvergleich des zu messenden Widerstands und der bekannten Widerstände.

Bei der Verwendung eines Referenzwiderstands zur Kalibrierung einer Ausgangsimpedanz einer Schaltungsanordnung werden vorwiegend die beiden folgend beschriebenen Anordnungen in einer Schaltungsanordnung vorgesehen:

Eine Möglichkeit ist beispielsweise der Einsatz eines chipexternen, nicht innerhalb des Halbleiterchips befindlichen Referenzwiderstands, gegen den sich die Schaltungsanordnung kalibriert. Diese Methode hat den Vorteil, daß der sich extern des Halbleiterchips befindende Referenzwiderstand sehr genau eingestellt werden kann, so daß die Kalibrierung der Schaltungsanordnung sehr exakt erfolgen kann. Ein Nachteil dieser Lösung ist jedoch die Notwendigkeit, daß für jeden auf einer Platine befindlichen Halbleiterchip externe Referenzwiderstände vorgesehen werden müssen, gegen den sich die einzelnen Schaltkreise eines Halbleiterchips mit unterschiedlichen An-

forderungen kalibrieren können. Die Anordnung externer, außerhalb eines Halbleiterchips befindlicher Referenzwiderstände hat weiterhin den Nachteil, daß der auf der Systemplatine vorhandene Platz eingeschränkt wird und somit ein ökonomisches und kostengünstiges Platinendesign nicht mehr erreicht werden kann.

Eine weitere Möglichkeit ist die Anordnung des Referenzwiderstands innerhalb des die zu kalibrierende Schaltung enthaltenden Halbleiterchips. Dies hebt zwar das Problem eines erhöhten Platzbedarfs auf der Platine auf, beeinflusst jedoch im Betrieb die Genauigkeit des Referenzwiderstandswertes, da dieser unter den gleichen Umgebungsbedingungen wie der Halbleiterchip selbst betrieben wird und somit den entsprechenden Schwankungen unterliegt.

Die Spezifizierung und Einstellung eines Referenzwiderstands kann nur im Herstellungsprozeß erfolgen. Der Referenzwiderstand kann abhängig von Fertigungstoleranzen und Bauteilspezifikationen im Fertigungsprozeß über Metalloptionen, Sicherungen oder andere physikalische Vorgänge verändert und eingestellt werden.

Eine sich gegen einen Referenzwiderstand kalibrierende Schaltungsanordnung kann beispielsweise in einer Ausgangstreiberstufe eines Off-Chip-Treibers enthalten sein, wobei die Kalibrierung der Schaltungsanordnung eine Kalibrierung der Ausgangstreiberstufe bewirkt. Ausgangstreiber- bzw. Verstärkerstufen umfassen in der Regel komplementäre Feldeffekttransistoren. Es sind mindestens ein Transistor eines n-Kanal- und eines p-Kanal-Typs vorhanden, die in Reihe geschaltet sind. Den p-Kanal- und n-Kanal-Feldeffekttransistoren können mehrere gleichartige Transistoren parallel geschaltet sein. Der Widerstand bzw. die Impedanz wird durch mindestens einen der Feldeffekttransistoren des Ausgangstreibers gebildet, wobei die Zu- oder Abschaltung der jeweils parallelen Feldeffekttransistoren die Einstellung des gewünschten Widerstandswertes bewirkt.

tes ermöglicht. Der Referenzwiderstand und der Widerstand des Ausgangstreibers bilden in einer Reihenschaltung einen Spannungsteiler. Eine zwischen den beiden Widerständen abzugreifende Teilspannung wird mit einer anderen, fest definierten Spannung einem Vergleicher zugeführt, der die ihm zugeführten Spannungen vergleicht. Der einzustellende Widerstand wird über ein durch den Vergleicher erzeugtes Steuersignal so lange eingestellt, bis sich die beiden dem Vergleicher zugeführten Spannungen entsprechen. Die Spannungen können sich beispielsweise entsprechen, wenn die fest definierte Spannung und die Teilspannung der halben Versorgungsspannung des Spannungsteilers entsprechen. In diesem Fall entsprechen sich auch die Widerstandswerte der beiden Widerstände.

Hier zeigt sich das Problem eines den Betriebsschwankungen unterliegenden Referenzwiderstands: Weicht dieser um 10% von seinem gewünschten Widerstandswert ab, so wird die zwischen den Widerständen abzugreifende Spannung nur für den Fall, daß der einzustellende Widerstand ebenfalls eine Abweichung von 10% des gewünschten Widerstandswertes aufweist die Hälfte der Versorgungsspannung betragen.

Der Erfindung liegt die Aufgabe zugrunde, eine möglichst einfache Kalibrierungsanordnung vorzusehen, bei der sich ein einstellbarer Widerstand gegen einen Referenzwiderstand kalibriert, so daß eine gewünschte Ausgangsimpedanz des einzustellenden Widerstands möglichst exakt erreicht wird.

Diese Aufgabe wird erfindungsgemäß gelöst durch eine Kalibrierungsanordnung, die eine Schaltungsanordnung mit einem Ausgangsanschluß zur Bereitstellung einer Spannung V_{comp} aufweist, einen ersten Spannungsteiler mit einem einstellbaren Widerstand und einem Widerstand, die ihrerseits in Reihe geschaltet sind, der einen Anschluß zur Zuführung eines positiven Versorgungspotentials und einen Anschluß zur Zuführung eines negativen Versorgungspotentials einer Versorgungsspannung aufweist und der zwischen den Widerständen einen An-

schluß zum Abgriff einer Teilspannung aufweist, einen Vergleich-
gleicher mit einem ersten Eingang, der zur Zuführung der
Spannung mit dem Ausgangsanschluß der Schaltungsanordnung
verbunden ist, und mit einem zweiten Eingang, der mit dem An-
schluß zum Abgriff der Teilspannung verbunden ist, und der
einen Ausgangsanschluß aufweist zur Ausgabe eines Vergleich-
sergebnisses eines Vergleichs der am ersten und am zweiten
Eingang zuzuführenden Spannungen, und eine Steuerlogik, die
dem Vergleich nachgeschaltet ist und die einen Ausgangsan-
schluß aufweist, der an den ersten Widerstand des ersten
Spannungsteilers gekoppelt ist, und die in Abhängigkeit des
Vergleichsergebnisses des Vergleichers ein Steuersignal an
ihrem Ausgangsanschluß zur Ansteuerung des ersten Widerstands
erzeugt. Die Schaltungsanordnung weist einen weiteren Wider-
stand auf, dessen Wert in einem festen Verhältnis zum Wider-
standswert des Widerstands des ersten Spannungsteilers
steht, und eine Bewertungseinrichtung, die in Abhängigkeit
eines von dem weiteren Widerstand abgeleiteten Wertes ein
Steuersignal erzeugt und dieses Steuersignal an einen nachge-
schalteten Spannungsgenerator weiterleitet, der in Abhängig-
keit des Steuersignals aus einer Vielzahl an möglichen Span-
nungen die Spannung V_{comp} am Ausgangsanschluß der Schaltungs-
anordnung erzeugt.

Die Kalibrierungsanordnung hat den Vorteil, daß zur Kalibrie-
rung des ersten einstellbaren Widerstands des ersten Span-
nungsteilers eine Spannung in Abhängigkeit des Widerstands-
wertes des Referenzwiderstands erzeugt wird, so daß die dem
Vergleicher zugeführte Spannung Schwankungen des Widerstands-
wertes des Referenzwiderstands kompensiert und eine gewünsch-
te Ausgangsimpedanz des einzustellenden Widerstands möglichst
exakt erzielt wird.

Eine bevorzugte Ausführungsform sieht vor, daß die Schal-
tungsanordnung einen Eingangsanschluß zur Zuführung eines Be-
zugsstroms und einen Ausgangsanschluß zur Bereitstellung der
ersten Spannung aufweist, einen weiteren Widerstand, der ei-

nen Anschluß aufweist, an dem in Abhängigkeit vom Bezugsstrom eine Spannung abgreifbar ist, eine Bewertungseinrichtung vorgesehen ist, die mit dem Anschluß verbunden ist, zum Abgriff der am weiteren Widerstand anliegenden Spannung und einen
5 Ausgangsanschluß aufweist zur Ausgabe des Steuersignals, einen Spannungsgenerator, der einen Multiplexer und einen weiteren Spannungsteiler aufweist, der der Bewertungseinrichtung nachgeschaltet ist, wobei der Multiplexer in Abhängigkeit des von der Bewertungseinrichtung ausgegebenen Steuersignals eine
10 Spannung aus mehreren, durch den weiteren Spannungsteiler bereitgestellten Spannungen auswählt und als die Spannung am Ausgangsanschluß bereitstellt.

Eine weitere vorteilhafte Ausgestaltung sieht vor, daß die
15 Bewertungseinrichtung ein Verknüpfungselement aufweist, das über den Anschluß mit dem weiteren Widerstand verbunden ist, und daß das Verknüpfungselement die am weiteren Widerstand anliegende Spannung aufnimmt und einen weiteren Anschluß aufweist zur Zuführung von die Versorgungspotentiale der Versorgungsspannung repräsentierenden Werten, einen die einzustellende Zielimpedanz des ersten Widerstands repräsentierenden Wert und einen den Bezugsstrom repräsentierenden Wert.

Bei einer weiteren vorteilhaften Ausgestaltung der erfindungsgemäßen Kalibrieranordnung weist die Bewertungseinrichtung einen Analog-Digital-Wandler auf, der dem Verknüpfungselement nachgeschaltet ist und der das Ausgangssignal des Verknüpfungselements in ein digitales Steuersignal umwandelt, zur Ausgabe am Ausgangsanschluß der Bewertungseinrichtung.

Bei einer weiteren vorteilhaften Ausgestaltung umfaßt der Spannungsteiler ein Widerstandsnetzwerk, das eine Vielzahl von Widerständen aufweist, die ihrerseits in Reihe geschaltet sind. Der Spannungsteiler weist zumindest einen Zwischengriff
35 auf, zum Abgriff eines Wertes der Spannung V_{comp} .

Eine weitere vorteilhafte Ausgestaltung sieht vor, daß der Multiplexer von dem Ausgangssignal der Bewertungseinrichtung angesteuert wird und in Abhängigkeit dieses Ausgangssignals einen der Zwischenabgriffe des Spannungsteilers mit dem Ausgangsanschluß des Spannungsgenerators koppelt.

Eine weitere Ausführungsform sieht vor, daß die Kalibrierungsanordnung einen Ausgangstreiber aufweist, der mindestens zwei Feldeffekttransistoren komplementären Kanaltyps aufweist, deren Drain-Source-Strecken in Reihe geschaltet sind, und daß der erste Widerstand des ersten Spannungsteilers durch mindestens einen der Feldeffekttransistoren des Ausgangstreibers gebildet ist.

Bei einer weiteren vorteilhaften Ausgestaltung der erfindungsgemäßen Kalibrieranordnung ist vorgesehen, daß den Feldeffekttransistoren zumindest je ein weiterer Feldeffekttransistor parallel geschaltet ist und die Gate-Anschlüsse dieser Feldeffekttransistoren mit dem Ausgangsanschluß der Steuerlogik zur Zuführung des Steuersignals verbunden sind, zur Ab- oder Zuschaltung der parallelen Feldeffekttransistoren.

Eine weitere Ausführungsform sieht vor, daß die Kalibrierungsanordnung monolithisch auf einem integrierten Halbleiterchip integriert ist.

Bei einer weiteren vorteilhaften Ausgestaltung ist der erste Spannungsteiler und der Vergleicher monolithisch in einem Halbleiterchip integriert und die Bewertungseinheit in einem nicht auf dem Halbleiterchip befindlichen Testautomat angeordnet, wobei der Testautomat zum Testen des Halbleiterchips dient.

Die erfindungsgemäße Kalibrierungsanordnung hat den Vorteil, daß bei Schwankungen des Widerstandswertes des Referenzwiderstands eine Einstellung des Referenzwiderstands beispielsweise im Fertigungsprozess einen höheren Toleranzbereich bezüg-

lich des Widerstandswertes erlaubt. Die Kalibrierungsanordnung ermöglicht die Erzeugung einer Spannung V_{comp} in Abhängigkeit des Referenzwiderstands, die mit der am Referenzwiderstand abzugreifenden Teilspannung verglichen wird. Somit
5 kann die zu erzeugende Spannung V_{comp} der am Referenzwiderstand anliegenden Spannung angepaßt werden, so daß eine gewünschte Impedanz des einstellbaren Widerstands erzielt wird.

Weiterhin können mit der erfindungsgemäßen Kalibrierungsanordnung eine Vielzahl an Referenzwiderstandswerten angepaßt
10 werden, ohne eine Einstellung des Referenzwiderstands vorzunehmen.

Eine exakte Einstellung eines Referenzwiderstands kann im
15 Fertigungsprozeß über beispielsweise Metalloptionen oder Sicherungen erfolgen, bedeutet jedoch für jeden einzelnen Halbleiterchip einen weiteren Prozessschritt, der sich auf die Produktionskosten niederschlägt. Die Nutzung einer in Abhängigkeit des tatsächlichen Widerstandswertes des Referenzwiderstands erzeugten ersten Spannung V_{comp} in der Kalibrierungsanordnung ermöglicht eine sehr einfache und kostengünstige Kompensation der Fertigungstoleranzen des Referenzwiderstands.
20

Nachfolgend wird die Erfindung anhand von Figuren näher erläutert. Gleiche oder sich entsprechende Elemente in verschiedenen Figuren sind mit gleichen Bezugszeichen versehen.
25

Es zeigen:

30 Figur 2 ein Blockschaltbild der erfindungsgemäßen Kalibrierungsanordnung,

Figur 3 ein erfindungsgemäßes Ausführungsbeispiel der die
35 Spannung erzeugende Schaltungsanordnung,

Figur 4 ein Schaltbild eines Spannungsgenerators und

Figur 5 ein erfindungsgemäßes Ausführungsbeispiel eines einen einstellbaren Widerstandswert repräsentierenden Ausgangstreibers.

5

Figur 2 zeigt das Blockschaltbild der erfindungsgemäßen Kalibrierungsanordnung. Die in Figur 2 dargestellte Kalibrierungsanordnung 1 weist einen Spannungsteiler auf, mit einem ersten Widerstand R und einem Widerstand Rref, die ihrerseits in Reihe geschaltet sind. Dem einen Ende der Reihenschaltung wird an ihrem Anschluß 15 ein positives Versorgungspotential VDDQ und dem anderen Ende der Reihenschaltung wird am Anschluß 17 ein negatives Versorgungspotential VSSQ einer Versorgungsspannung zugeführt. Die Reihenschaltung weist am Knoten zwischen den Widerständen R und Rref einen Anschluß 16 auf, an dem eine Teilspannung Vref abgegriffen werden kann.

10

15

20

25

30

35

Weiterhin weist die Kalibrierungsanordnung 1 eine Schaltungsanordnung 2 auf, an deren Ausgangsanschluß 11 eine Spannung Vcomp abgegriffen werden kann. Ein Vergleicher 3 ist mit einem ersten Eingangsanschluß 12 mit dem Ausgangsanschluß 11 der Schaltungsanordnung 2 und mit einem zweiten Eingang 13 mit dem Abgriff 16 der Reihenschaltung der Widerstände R und Rref verbunden. Dem Vergleicher 3 werden über den ersten Eingang 12 die Spannung Vcomp und über den zweiten Eingang 13 die Teilspannung Vref zugeführt. Der Vergleicher 3 vergleicht die an seinen Eingängen 12 und 13 anliegenden Spannungen und gibt an einem Ausgangsanschluß 14 ein Signal 145 aus. Eine Steuerlogik 6, die dem Vergleicher 3 nachgeschaltet ist, wertet das von dem Vergleicher 3 erzeugte Steuersignal 145 aus und erzeugt am Ausgangsanschluß 18 ein Steuersignal 185 zur Ansteuerung und Einstellung des ersten Widerstands R des ersten Spannungsteilers.

Wenn die beiden dem Vergleicher zugeführten Spannungen sich entsprechen, ist die Einstellung des Widerstands R durch das

Steuersignal abgeschlossen, so daß der Widerstand R die gewünschte Impedanz aufweist.

Die in Figur 3 dargestellte Schaltungsanordnung 2 weist einen Strompfad mit einem Eingangsanschluß 21 zur Zuführung eines Bezugsstroms I_{copy} und einem Widerstand $R_{refcopy}$ auf. Der Widerstandswert des Widerstands $R_{refcopy}$ steht in einem festen Verhältnis zu dem Widerstandswert des Widerstands R_{ref} des in der Figur 2 dargestellten ersten Spannungsteilers. Der Strompfad weist einen Anschluß 22 auf, an dem in Abhängigkeit vom Bezugsstrom I_{copy} eine Spannung $V_{refcopy}$ abgreifbar ist. Eine Bewertungseinrichtung 9 umfaßt ein Verknüpfungselement 91 und einen nachgeschalteten Analog-Digital-Wandler. Das Verknüpfungselement 91 ist mit dem Anschluß 22 zum Abgriff der Spannung $V_{refcopy}$ verbunden. Über einen weiteren Anschluß 23 werden dem Verknüpfungselement 91 die Versorgungspotentiale $VDDQ$, $VSSQ$ der Versorgungsspannung repräsentierende Werte, ein die einzustellende Zielimpedanz des ersten Widerstands des ersten Spannungsteilers repräsentierender Wert und ein den Bezugsstrom I_{copy} repräsentierender Wert zugeführt. Das Verknüpfungselement 91 erzeugt aufgrund der an seinen Eingängen 22 und 23 anliegenden Signale ein analoges Ausgangssignal 93, welches dem Analog-Digital-Wandler zugeführt wird. Hierbei nimmt das Verknüpfungselement 91 zur Ermittlung des Steuersignals 93 die folgende Berechnung vor:

Ausgehend von

$$\begin{aligned} V &= V_R + V_{R_{ref}} \quad \text{und} \\ V_{R_{ref}} &= I * (R_{ref} + \Delta R_{ref}) \quad \text{und} \\ V_{copy} &= I_{copy} * (R_{refcopy} + \Delta R_{ref}) \end{aligned}$$

wobei

"R" dem ersten Widerstand des ersten Spannungsteilers,
 "R_{ref}" dem Widerstand des ersten Spannungsteilers,
 "ΔR_{ref}" der Abweichung des Referenzwiderstands von seinem

gewünschten Widerstandswert,
 "R_{refcopy}" der Widerstand, der in einem festen Verhältnis zum
 Widerstandswert des ersten Widerstand R_{ref} steht,
 "V" der Versorgungsspannung des ersten Spannungsteilers,
 5 "V_R" der Spannung, die am ersten Widerstand R anliegt,
 "V_{Rref}" der Spannung, die am Widerstand R_{ref} anliegt,
 "V_{copy}" der Spannung, die am Widerstand R_{refcopy} anliegt,
 "I" dem Strom, der den ersten Spannungsteiler durch-
 fließt und
 10 "I_{copy}" dem Bezugsstrom, der den Widerstand R_{refcopy} durch-
 fließt, entspricht,
 ergibt sich für die Spannung V_{Rref}:

$$V_{Rref} = (V_{copy} * V) / (R * I_{copy} + V_{copy})$$

15 Die hierdurch ermittelte Spannung V_{Rref} entspricht der am Aus-
 gangsanschluß 11 der Schaltungsanordnung 2 erzeugten ersten
 Spannung V_{comp}:

20 Der Analog-Digital-Wandler 92 wandelt das analoge Signal 93
 in ein digitales Signal 25 um zur Ausgabe am Ausgangsanschluß
 24 der Bewertungseinrichtung 9. Der Bewertungseinrichtung 9
 ist ein Spannungsgenerator 20 nachgeschaltet. Der Spannungs-
 generator weist einen Multiplexer 8 und einen Spannungsteiler
 25 7 auf.

Der in Figur 3 gezeigte Spannungsgenerator 20 umfaßt bei der
 in der Figur 4 gezeigten bevorzugten Ausführungsform einen
 Multiplexer 8 und einen nachgeschalteten Spannungsteiler 7.

30 Der Spannungsteiler 7 weist eine Vielzahl von in Reihe ge-
 schalteten Widerständen 71, 72, 73 und 74 auf. Den Enden der
 Reihenschaltung der Widerstände des Spannungsteilers 7 wird
 am Anschluß 26 das positive Versorgungspotential VDDQ und dem
 Anschluß 27 das negative Versorgungspotential VSSQ einer Ver-
 35 sorgungsspannung zugeführt. Mit Hilfe des Spannungsteilers
 werden aus der Versorgungsspannung eine Vielzahl an möglichen
 Spannungen erzeugt. Die Anzahl der Widerstände des Spannungs-

teilers 7 kann hoch sein, so daß eine hohe Anzahl an unterschiedlichen Spannungen an den Signalleitungen 75, 76 77 erzeugt werden kann. Bei den Widerständen des Spannungsteilers 7 kann es sich um herkömmliche ohmsche Widerstände oder auch um Widerstände mit komplexen Anteilen handeln. Die Widerstände sind auch durch Halbleiterbauelemente realisierbar. Der Multiplexer 8 weist Anschlüsse 81, 82 und 83 auf, die mit den Signalleitungen 75, 76 und 77 verbunden sind, zum Abgriff der einzelnen Spannungen des Spannungsteilers. In Abhängigkeit eines durch die Bewertungseinrichtung 9 erzeugten Steuersignals schaltet der Multiplexer 8 mittels des Schalters 84 eine Verbindung zu einem der Anschlüsse 81, 82 und 83. Am Ausgangsanschluß 11 des Spannungsgenerators 20 liegt als Spannung Vcomp eine der vom Widerstandsnetzwerk erzeugten Spannungen an.

Wie in Figur 5 als ein Ausführungsbeispiel dargestellt, wird der in Figur 2 gezeigte einstellbare erste Widerstand R des ersten Spannungsteilers durch eines der Halbleiterbauelemente 41, 42, 411 und 421 eines Ausgangstreibers gebildet. In einem Ausgangstreiber sind ein erster p-Kanal-Feldeffekttransistor 41 und ein erster n-Kanal-Feldeffekttransistor 42 bezüglich ihrer Drain-Source-Pfade in Reihe geschaltet. Über den Anschluß 15 wird dem Source-Anschluß des Feldeffekttransistors 41 das positive Versorgungspotential VDDQ der Versorgungsspannung zugeführt. Den Feldeffekttransistoren 41 und 42 sind mindestens je ein weiterer p-Kanal-Feldeffekttransistor 411 und n-Kanal-Feldeffekttransistor 421 parallel geschaltet. Der Widerstand R wird durch mindestens einen der Feldeffekttransistoren 41, 42, 411 und 421 des Ausgangstreibers gebildet. Die Gate-Anschlüsse der Feldeffekttransistoren 411 und 421 sind mit dem Ausgangsanschluß 18 der Steuerlogik 6 zur Zuführung des n-Bit umfassenden Steuersignals verbunden. Eine nicht hier gezeigte Kodierungseinrichtung im Halbleiterchip speichert die Informationen, wie die Feldeffekttransistoren gesteuert werden müssen, damit die gewünschte Impedanz des Ausgangstreibers erreicht wird. Durch die der Steuerlogik 6

vorgelagerten Kodierungsinformation und das durch die Steuerlogik 6 erzeugte Steuersignal 185 am Ausgangsanschluß 18 wird jeweils nur der n-Kanal-Feldeffekttransistor 421 oder der p-Kanal-Feldeffekttransistor 411 zu- oder abgeschaltet. Eine

- 5 Anpassung der Impedanz des Ausgangstreibers kann beispielsweise im 100 Millisekunden-Zeitraum erfolgen, da Temperaturschwankungen beim Betrieb des Halbleiterchips innerhalb dieses Zeitraums eine Änderung der Impedanz des Ausgangstreibers zur Folge haben.

Patentansprüche

1. Kalibrierungsanordnung (1), aufweisend:

- 5 - eine Schaltungsanordnung (2) mit einem Ausgangsanschluß (11) zur Bereitstellung einer Spannung (V_{comp}),
- einen ersten Spannungsteiler mit einem einstellbaren Widerstand (R) und einem Widerstand (R_{ref}), die ihrerseits in Reihe geschaltet sind, der einen Anschluß (15) zur Zuführung eines positiven Versorgungspotentials (V_{DDQ}) und einen Anschluß (17) zur Zuführung eines negativen Versorgungspotentials (V_{SSQ}) einer Versorgungsspannung aufweist und der zwischen den Widerständen (R , R_{ref}) einen Anschluß (16) zum Abgriff einer Teilspannung (V_{ref}) aufweist,
- 10 - einen Vergleichler (3) mit einem ersten Eingang (12), der zur Zuführung der Spannung (V_{comp}) mit dem Ausgangsanschluß (11) der Schaltungsanordnung (2) verbunden ist, und mit einem zweiten Eingang (13), der mit dem Anschluß (16) zum Abgriff der Teilspannung (V_{ref}) verbunden ist und der einen Ausgangsanschluß (14) aufweist zur Ausgabe eines Vergleichsergebnisses eines Vergleichs der am ersten (12) und am zweiten Eingang (13) zuzuführenden Spannungen (V_{ref} , V_{comp}) und
- 15 - eine Steuerlogik (6), die dem Vergleichler nachgeschaltet ist und die einen Ausgangsanschluß (18) aufweist, der an den ersten Widerstand (R) des ersten Spannungsteilers gekoppelt ist und die in Abhängigkeit des Vergleichsergebnisses ein Steuersignal (185) am Ausgangsanschluß (18) zur Ansteuerung des ersten Widerstands (R) erzeugt, wobei
- 20 - die Schaltungsanordnung (2) einen weiteren Widerstand ($R_{refcopy}$) aufweist, dessen Wert in einem festen Verhältnis zum Widerstandswert des Widerstands (R_{ref}) des ersten Spannungsteilers steht, daß in Abhängigkeit eines von dem weiteren Widerstand ($R_{refcopy}$) abgeleiteten Wertes eine Bewertungseinrichtung (9) der Schaltungsanordnung (2) ein Steuersignal (25) erzeugt und daß ein Spannungsgenerator (20) vorgesehen ist, der in Abhängigkeit des Steuersignals (25) aus
- 25
30
35

einer Vielzahl an möglichen Spannungen die Spannung (V_{comp}) erzeugt.

2. Kalibrierungsanordnung (1) nach Anspruch 1,

5 d a d u r c h g e k e n n z e i c h n e t, daß
die Schaltungsanordnung (2) aufweist:

- einen Eingangsanschluß (21) zur Zuführung eines Bezugs-
stroms (I_{copy});

10 - einen Anschluß (22) zum Abgriff der am weiteren Widerstand
($R_{refcopy}$) anliegenden Spannung der an den weiteren Wider-
stand ($R_{refcopy}$) angeschlossen ist und an dem in Abhängigkeit
vom Bezugsstrom (I_{copy}) eine Spannung ($V_{refcopy}$) abgreifbar
ist;

15 - eine Bewertungseinrichtung (9), die mit einem Anschluß (22)
zum Abgriff der am weiteren Widerstand ($R_{refcopy}$) anliegenden
Spannung ($V_{refcopy}$) verbunden ist und einen Ausgangsanschluß
(24) zum Abgriff des Steuersignals (25) aufweist.

3. Kalibrierungsanordnung (1) nach Anspruch 1 oder 2,

20 d a d u r c h g e k e n n z e i c h n e t, daß
die Schaltungsanordnung (2) ein Spannungsgenerator (20) ent-
hält, der einen Multiplexer (8) und einen weiteren Spannungs-
teiler (7) aufweist, daß der Spannungsgenerator (20) der Be-
wertungseinrichtung (9) nachgeschaltet ist, wobei der Multi-
25 plexer (8) in Abhängigkeit des von der Bewertungseinrichtung
(9) ausgegebenen Steuersignals (25) eine Spannung aus mehre-
ren Spannungen auswählt, die durch den weiteren Spannungstei-
ler (7) bereitgestellt werden, und als die Spannung (V_{comp})
am Ausgangsanschluß (11) bereitstellt.

30

4. Kalibrierungsanordnung (1) nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t, daß
die Bewertungseinrichtung (9) aufweist:

35 - ein Verknüpfungselement (91), das über den Anschluß (22)
zum Abgriff der am weiteren Widerstand ($R_{refcopy}$) anliegenden
Spannung mit dem weiteren Widerstand ($R_{refcopy}$) verbunden ist

und das einen weiteren Anschluß (23) aufweist zur Zuführung von die Versorgungspotentiale (VDDQ, VSSQ) der Versorgungsspannung repräsentierenden Werten und eines die einzustellende Zielimpedanz des ersten Widerstands (R) repräsentierenden Wertes und eines den Bezugsstrom (Icopy) repräsentierenden Wertes.

5 5. Kalibrierungsanordnung (1) nach einem der Ansprüche 1 bis 4,

10 d a d u r c h g e k e n n z e i c h n e t, daß
die Bewertungseinrichtung (9) einen Analog-Digital-Wandler (92) aufweist, der dem Verknüpfungselement (91)
nachgeschaltet ist und der das Ausgangssignal (93) des Verknüpfungselementes (91) in ein Steuersignal (25) um-
15 wandelt, zur Ausgabe am Ausgangsanschluß (24) der Bewertungseinrichtung (9).

6. Kalibrierungsanordnung (1) nach Anspruch 4,

20 d a d u r c h g e k e n n z e i c h n e t, daß
das Verknüpfungselement (91) die folgende Berechnung durchführt: $(V_{refcopy} * V) / (R * I_{copy} + V_{refcopy})$
wobei

- $V_{refcopy}$ der am weiteren Widerstand ($R_{refcopy}$) anliegenden Spannung,

25 - V der dem ersten Spannungsteiler zuzuführenden Versorgungsspannung,

- R dem ersten Widerstand (R) des ersten Spannungsteilers und
- I_{copy} dem Bezugsstrom (I_{copy}) der Schaltungsanordnung (2) entspricht.

30

7. Kalibrierungsanordnung (1) nach Anspruch 3,

d a d u r c h g e k e n n z e i c h n e t, daß
der Spannungsteiler (7) ein Widerstandsnetzwerk umfaßt, das eine Vielzahl von Widerständen (131, 132, 133 und 134) auf-
35 weist, die ihrerseits in Reihe geschaltet sind, und daß der Spannungsteiler (7) zumindest einen Zwischenabgriff (75, 76, 77) aufweist zum Abgriff der Spannung (V_{comp}).

8. Kalibrierungsanordnung (1) nach Anspruch 3,
dadurch gekennzeichnet, daß
der Multiplexer (8) von dem Ausgangssignal (25) der Bewer-
5 tungseinrichtung (3) angesteuert wird und in Abhängigkeit
dieses Ausgangssignals (25) einen der Zwischenabgriffe des
Spannungsteilers (7) mit dem Ausgangsanschluß (11) koppelt.

9. Kalibrierungsanordnung (1) nach Anspruch 1,
10 gekennzeichnet durch
einen Ausgangstreiber, der mindestens zwei Feldeffektransi-
storen (41, 42) komplementären Kanaltyps aufweist, deren
Drain-Source-Strecken in Reihe geschaltet sind, und daß der
einstellbare Widerstand (R) durch mindestens einen der Fel-
15 deffektransistoren (41, 42) des Ausgangstreibers gebildet
ist.

10. Kalibrierungsanordnung (1) nach Anspruch 9,
dadurch gekennzeichnet, daß
20 den Feldeffektransistoren (41, 42) zumindest je ein weiterer
Feldeffekttransistor (411, 421) parallel geschaltet ist und
die Gateanschlüsse dieser Feldeffekttransistoren (411, 421)
mit dem Ausgangsanschluß (18) der Steuerlogik (6) zur Zufüh-
rung des Steuersignals (185) verbunden sind, zur Ab- oder Zu-
25 schaltung der parallelen Feldeffekttransistoren (411, 421).

11. Kalibrierungsanordnung (1) nach Anspruch 1,
gekennzeichnet durch
monolitische Integration auf einem integrierten
30 Halbleiterchip.

12. Kalibrierungsanordnung (1) nach Anspruch 1,
dadurch gekennzeichnet, daß
der erste Spannungsteiler und der Vergleicher (3) monolitisch
35 in einem Halbleiterchip integriert sind und daß die
Bewertungseinheit (9) in einem nicht auf dem Halbleiterchip

befindlichen Testautomat angeordnet ist, wobei der Testautomat zum Testen des Halbleiterchips dient.

Zusammenfassung

Kalibrierungsanordnung

- 5 Eine Kalibrierungsanordnung (1) zur Einstellung einer einstellbaren Impedanz weist einen ersten Spannungsteiler mit einem einstellbaren Widerstand (R) und einem Widerstand (Rref) auf, die in Reihe geschaltet sind. Die Reihenschaltung wird mit den Versorgungspotentialen (VDDQ, VSSQ) einer Versorgungsspannung versorgt und weist zwischen den Widerständen einen Anschluß (16) zum Abgriff einer Teilspannung Vref auf. Eine Schaltungsanordnung (2) weist einen weiteren Widerstand (Rrefcopy) auf, dessen Wert in einem festen Verhältnis zum Widerstandswert des Widerstands (Rref) des ersten Spannungsteilers steht. Die Schaltungsanordnung (2) erzeugt in Abhängigkeit eines von dem weiteren Widerstand (Rrefcopy) abgeleiteten Wertes am ihrem Ausgangsanschluß (11) eine Spannung (Vcomp). Einem Vergleicher (3) werden die Spannung (Vcomp) und die Teilspannung (Vref) zum Vergleich zugeführt zur Ausgabe eines Vergleichsergebnisses (145) an eine nachgeschaltete Steuerlogik (6). Die Steuerlogik ist an den Widerstand (R) des ersten Spannungsteilers gekoppelt und erzeugt in Abhängigkeit des Ausgangssignals (145) des Vergleichers (3) ein Steuersignal (185). Über das Steuersignal (185) der Steuerlogik (6) erfolgt die Einstellung des einstellbaren Widerstands (R), bis sich die dem Vergleicher (3) zugeführten Spannungen (Vcomp, Vref) entsprechen.

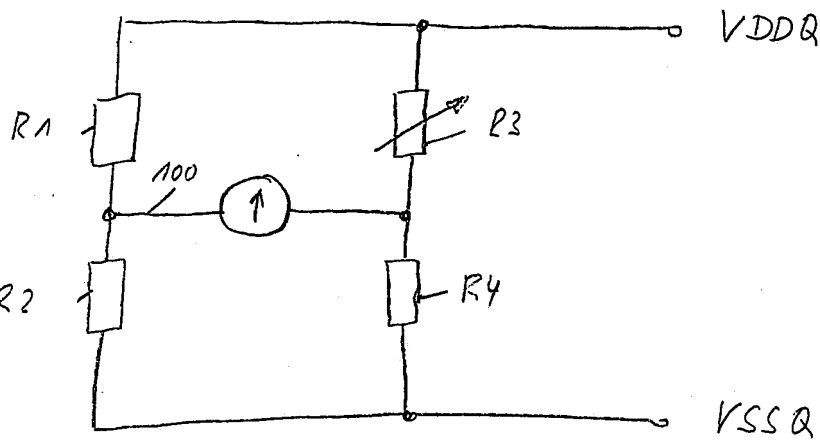
30 Figur 2

Bezugszeichenliste

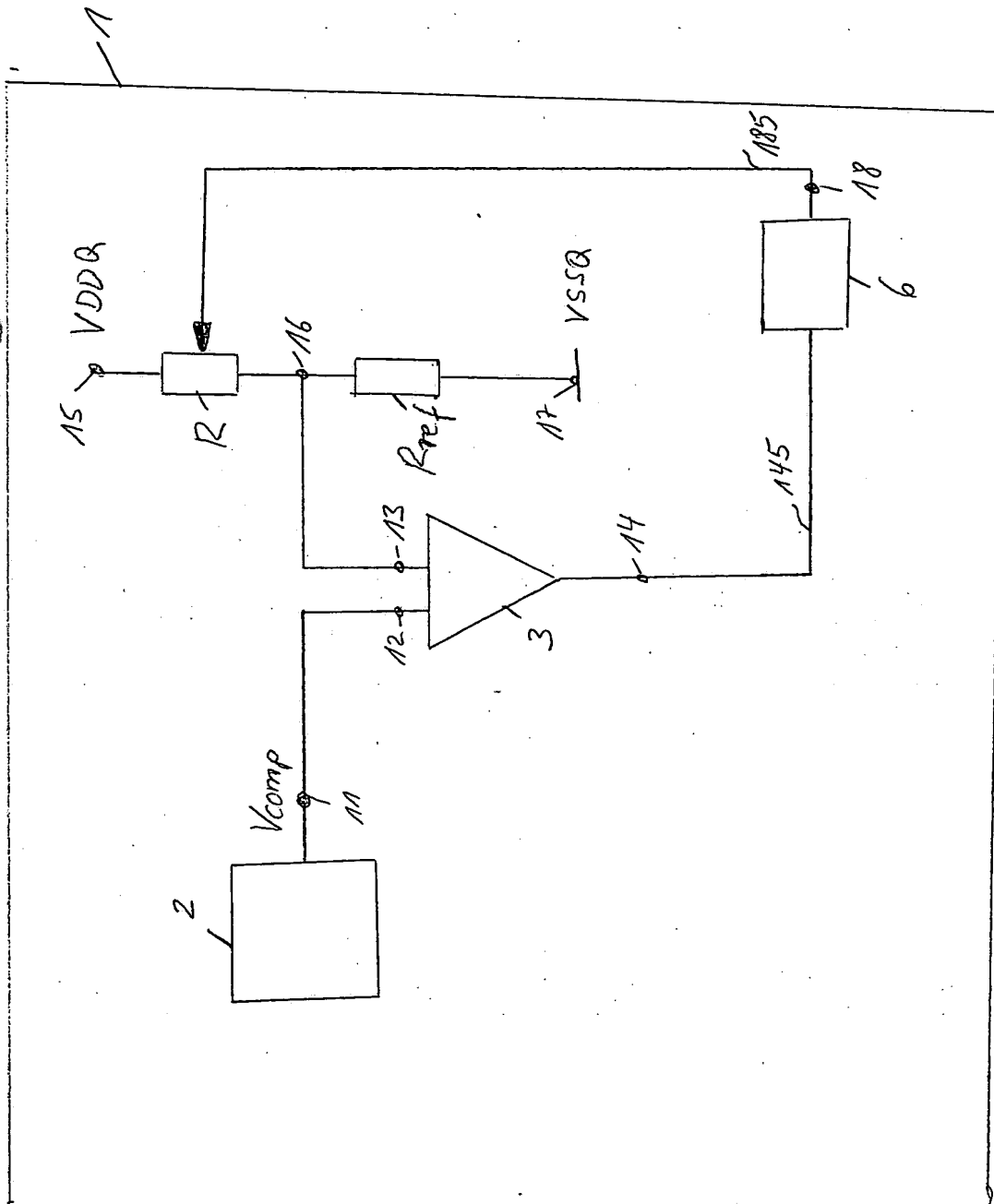
	R1	Widerstand
	R2	Widerstand
5	R3	Widerstand
	R4	Widerstand
	1	Kalibrierungsanordnung
	2	Schaltungsanordnung
	3	Vergleicher
10	4	einstellbarer Widerstand des ersten Spannungsteilers
	5	weiterer Widerstand des ersten Spannungsteilers
	6	Steuerlogik
	7	weiterer Spannungsteiler
	8	Multiplexer
15	9	Bewertungseinrichtung
	10	Widerstand Rrefcopy
	11	Ausgangsanschluß des Spannungsgenerators
	12	Eingangsanschluß des Vergleichers
	13	Eingangsanschluß des Vergleichers
20	14	Ausgangsanschluß des Vergleichers
	15	Anschluß zur Zuführung des positiven Versorgungspotentials VDDQ
	16	Anschluß
25	17	Anschluß zur Zuführung des negativen Versorgungspotentials VSSQ
	18	Ausgangsanschluß der Steuerlogik
	20	Spannungsgenerator
	21	Anschluß
	22	Anschluß zum Abgriff der Spannung Vcomp
30	23	Eingangsanschluß der Bewertungseinrichtung
	24	Ausgangsanschluß der Bewertungseinrichtung
	25	Steuersignal
	26	Anschluß zur Zuführung des positiven Versorgungspotentials VDDQ
35	27	Anschluß zur Zuführung des negativen Versorgungspotentials VSSQ
	41	p-Kanal-Feldeffekttransistor

	42	n-Kanal-Feldeffekttransistor
	411	p-Kanal-Feldeffekttransistor
	421	n-Kanal-Feldeffekttransistor
	71	Widerstand
5	72	Widerstand
	73	Widerstand
	74	Widerstand
	75	Signalleitung
	76	Signalleitung
10	77	Signalleitung
	81	Anschluß
	82	Anschluß
	83	Anschluß
	84	Schalter

Stand der Technik



Figur 1



Figur 2

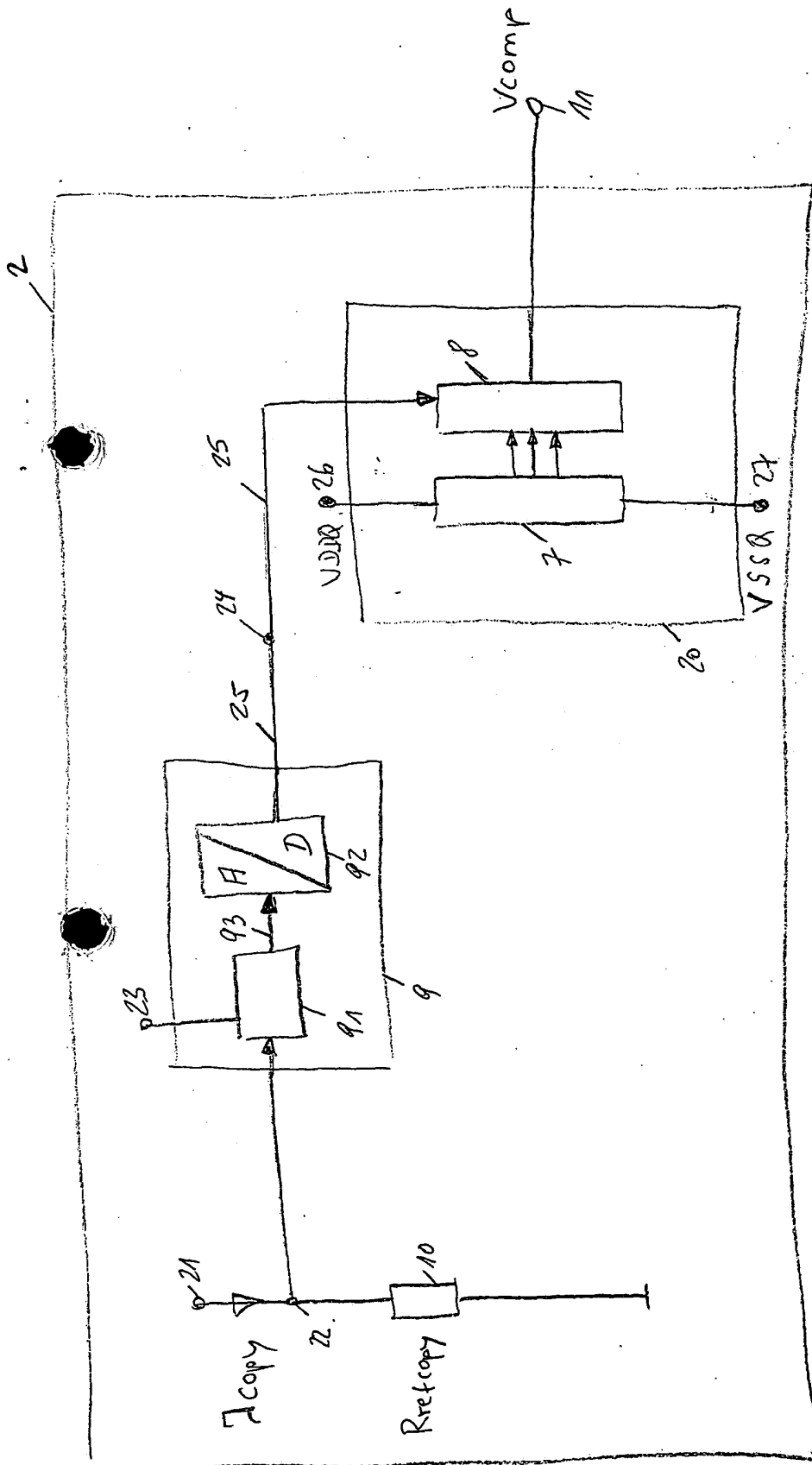


Figure 3

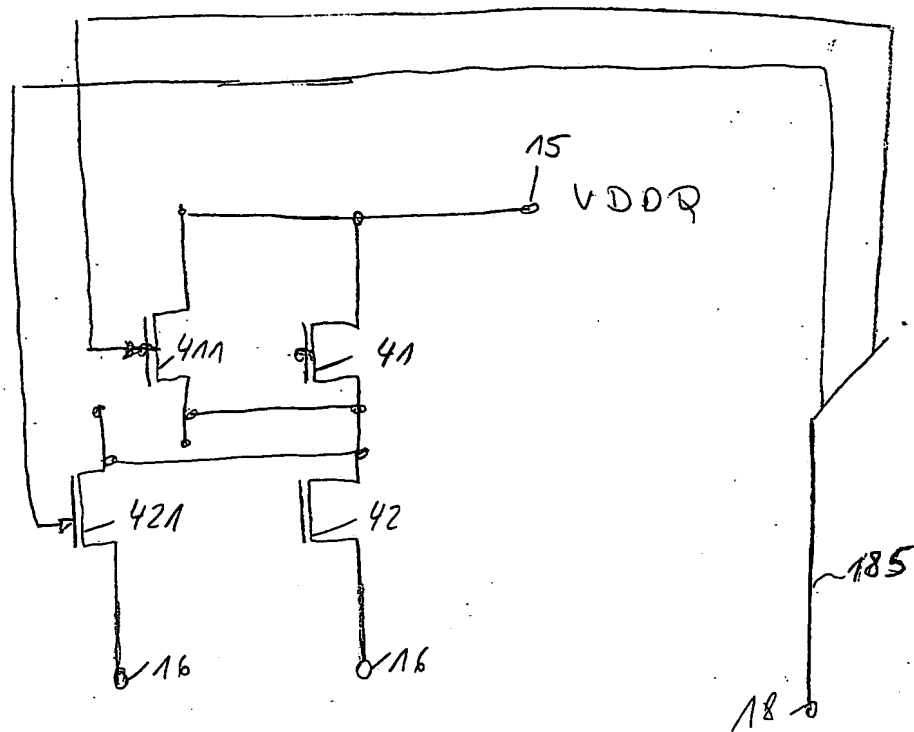


Figure 5

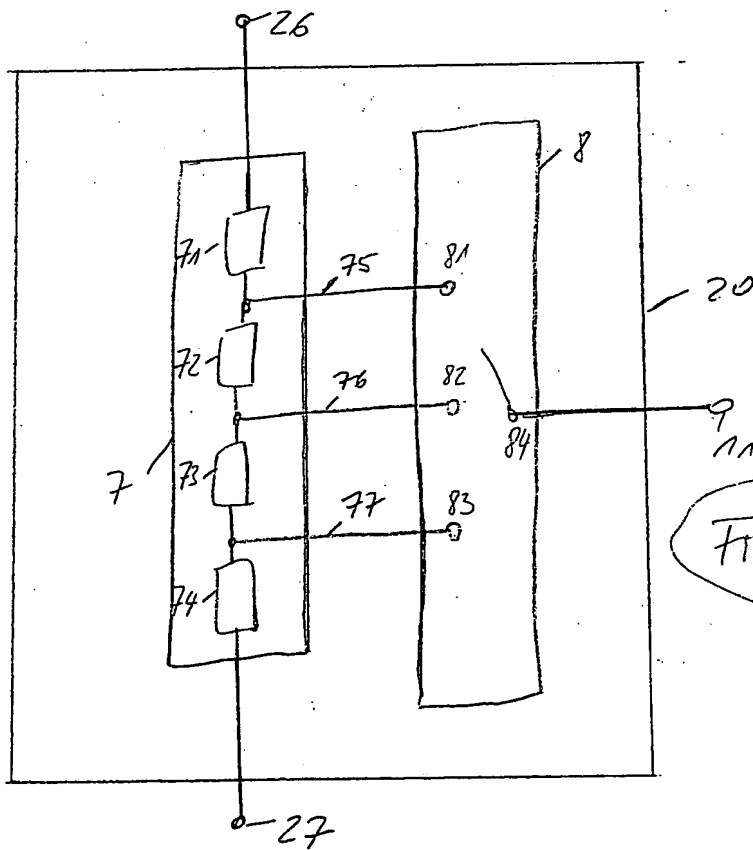


Figure 4